

**F02**

(19)

(11) Publication number:

06120490

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **04267184**(51) Intl. Cl.: **H01L 29/784 H01L 21/76 H01L 21/336**(22) Application date: **06.10.92**

(30) Priority:

(43) Date of application
publication: **28.04.94**(84) Designated contracting
states:(71) Applicant: **HITACHI LTD**(72) Inventor: **HAMADA AKIYOSHI**

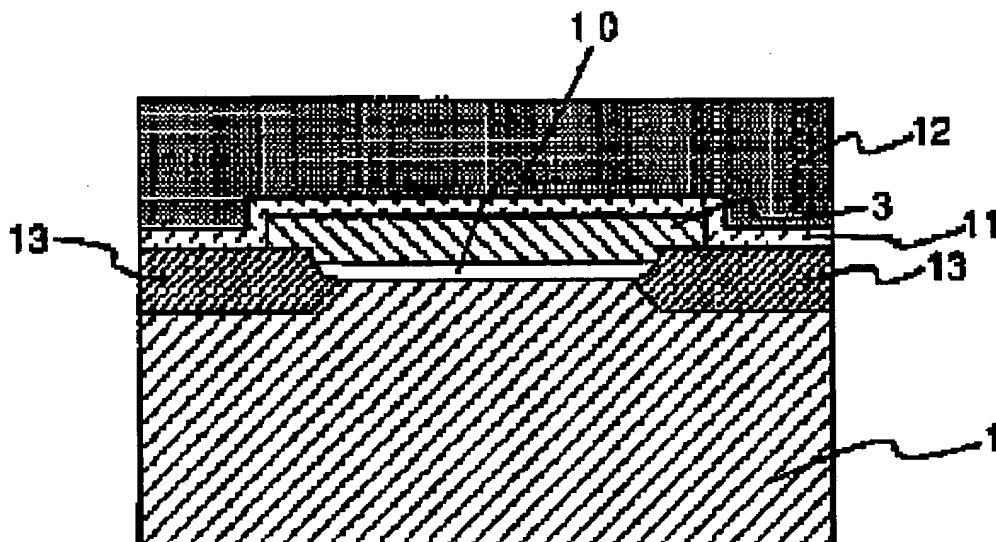
(74) Representative:

**(54) SEMICONDUCTOR
DEVICE AND
MANUFACTURE THEREOF**

(57) Abstract:

PURPOSE: To prevent hot carrier to be trapped by a base insulating film under a first region and to prevent deterioration of transistor characteristics due to injection of hot carrier by removing the base insulating film under the first region.

CONSTITUTION: When an oxide film under a gate electrode is removed, a gate 3 is not removed, a field oxide film is also slightly deleted, but formed to be sufficiently thick, a role as a field insulating film is not impaired. The oxide film under the gate electrode is removed so that a part under the gate electrode 10 becomes a cavity. Then, it is allowed to left for an oxygen atmosphere at the ambient temperature, and an Si substrate surface 1 is terminated at O. Thus, hot carrier to be trapped by the base insulating film under the first region is prevented, and deterioration of transistor characteristics due to injection of the carrier can be prevented.

**BEST AVAILABLE COPY**

(11)特許出願公開番号

特開平6-120490

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/76	D	9169-4M		
21/336				
		7377-4M	H 0 1 L 29/78	3 0 1 G
		7377-4M		3 0 1 P
			審査請求 未請求 請求項の数3(全 9 頁)	最終頁に続く

(21)出願番号 特願平4-267184

(22)出願日 平成4年(1992)10月6日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 濱田 明美
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 半導体装置及びその製造方法

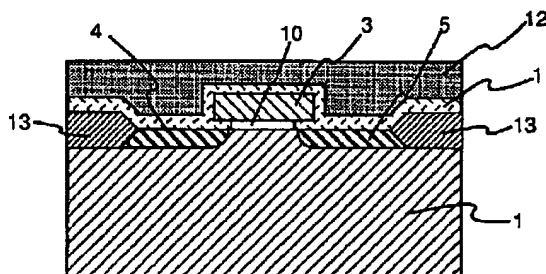
(57) 【要約】

【目的】 ホットキャリア注入の影響の少ないゲート絶縁型電界効果トランジスタの製造方法を提供する。

【構成】 ゲート電極形成後にゲート電極下の酸化膜を除去する。酸化膜除去後、直ちに酸素雰囲気中に室温で放置し、Si基板表面をOで終端する。

【効果】 本発明によれば、ホットキャリア注入によるトランジスタ特性の劣化を防止することができ、高信頼性を有する集積回路を構成できる。また、SOIトランジスタに適用することでより微細なトランジスタの信頼性を高めることができる。

图 3



【特許請求の範囲】

【請求項1】半導体基板の主表面の第1の領域に酸化膜からなるゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にMOSトランジスタのゲート電極を形成する工程と、該ゲート電極下のゲート絶縁膜をエッチングにより除去する工程と、上記ゲート絶縁膜除去後に上記ゲート電極下の上記半導体基板の上記主表面のSi未結合手を既知原子で終端する工程と、上記MOSトランジスタ領域及びその周辺上にパッシベーション膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に酸化膜からなる下地絶縁膜を形成する工程と、該下地絶縁膜上に薄膜基板を形成する工程と、該薄膜基板に第1の領域を形成するための素子分離領域を形成する工程と、該素子分離領域に上記下地絶縁膜まで溝を形成する工程と、該溝の一部に窒化膜を充鎮する工程と、上記溝を介して上記第1の領域下の上記下地絶縁膜を除去する工程を含むことを特徴とする半導体装置の製造方法。

【請求項3】半導体基板上に酸化膜からなる下地絶縁膜を形成する工程と、該下地絶縁膜上に薄膜Si基板を形成する工程と、該薄膜Si基板に第1の領域を形成するための素子分離領域を形成する工程と、該素子分離領域に上記下地絶縁膜まで溝を形成する工程と、該溝の一部に窒化膜を充鎮する工程と、上記溝を介して上記第1の領域下の上記下地絶縁膜を除去する工程と、上記第1の領域に酸化膜からなるゲート絶縁膜を形成する工程と、該ゲート絶縁膜上に上記MOSトランジスタのゲート電極を形成する工程と、該ゲート電極下に存在するゲート絶縁膜をエッチングにより除去する工程と、上記ゲート絶縁膜除去後に上記ゲート電極下の薄膜Si基板界面のSi未結合手を既知原子で終端する工程と、上記第1の領域及びその周辺上にパッシベーション膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は絶縁ゲート型電界効果トランジスタに関する。

【0002】

【従来の技術】絶縁ゲート型電界効果トランジスタに於いてはトランジスタ寸法の微細化と共に基板内部での電界が増大し、Nチャネルトランジスタに於いては電子が、Pチャネルトランジスタに於いては正孔が高電界領域を走行する際に、加速されて高エネルギー状態になる。そのため、基板内部でホットキャリアを発生させることが知られている。

【0003】この現象については例えばアイ・イー・イー・イー・トランザクション・エレクトロニクス26巻346-353頁(1979年)(IEEE Transaction Electron Device, vol. ED-26, pp. 346-35

3, 1979)に記載されている。

【0004】このホットキャリア効果は電源電圧を低下させても、ホットキャリアのエネルギーがSi/SiO₂のバリアーよりも高ければゲート絶縁膜中へのホットキャリア注入が生じて、トランジスタ特性の経時的な変化をもたらす。そのため、このホットキャリアの影響を減少させる試みがされてきた。

【0005】図4に従来のNチャネル絶縁ゲート型電界効果トランジスタの断面図を示す。図4に於いて1はp型Si基板、4、5はそれぞれp型Si基板1の表面に形成されたn型のソースとドレイン、20はソースとドレインの間のチャネル、2はp型Si基板1の表面上に形成されたSiO₂で代表される絶縁膜、3は絶縁膜上に形成された多結晶Siで代表されるゲート電極である。

【0006】ドレイン5及びゲート3に電圧を印加するとソースからドレインへ向けて電子が流れドレイン近傍で発生している高電界領域で加速され、キャリアは高エネルギー状態になる。この高エネルギーキャリアがSi基板1の格子と衝突してホットキャリア6が生成される。

【0007】このホットキャリアの大部分の電子はドレインへ、正孔はSi基板1へ流れるが、一部はSi/SiO₂界面(基板1とゲート絶縁膜2の界面)に注入され、Si-Si, Si-H, Si-O等のボンドを切って界面準位を発生させたり、界面やSiO₂中のトラップに捕獲されたりする。

【0008】界面準位の発生はトランジスタのオフ電流の増加や伝達コンダクタンスの低下をもたらし、電子がトラップに捕獲されると閾値電圧は正に、正孔が捕獲されると閾値電圧は負に変動する。

【0009】これらのことが原因となって、このトランジスタを用いた集積回路の動作速度が遅くなったり、最終的に動作しないことが起きる。

【0010】従来、このホットキャリア効果を低減するために例えば、アイ・イー・イー・イー・トランザクション・エレクトロニクス27巻1359頁(1980年)(IEEE Transaction Electron Devices, vol. ED-27, pp. 1359, 1980)で提案されているライトリー・ドープド・ドレイン(Lightly Doped Drain:LDD)構造に代表されるように、ソース、ドレインに低不純物領域を設けて内部電界を緩和したり、インターナショナル・エレクトロニクス38-41頁(1987年)(International Electron Devices Meeting:IEDM, pp. 38-41, 1987)にて提案されたゲート・ドレイン・オーバーラップLDD(GOLD)構造に代表されるようにゲート、ドレイン間のオーバーラップ長を最適化すること

で最大電界位置を基板表面から遠くし、かつ内部電界強度を下げるという試みがなされた。

【0011】しかし、これらの構造はいずれもゲート電極の側壁酸化膜に於けるホットキャリアの捕獲が起りやすく、新たな劣化モードが観測されるという問題点があった。

【0012】この注入されたホットキャリアが捕獲されないようにするため、特開昭61-183969に記載されているように、ゲート絶縁膜を除去して、空気絶縁するという方法も提案されている。

【0013】又、上述のホットキャリアによるトランジスタ特性の劣化はSOI (Silicon On Insulator) トランジスタでも観測されている。

【0014】図8にNチャネルSOIトランジスタの断面図を示す。図に於いて1はp型Si基板、4、5はそれぞれp型Si基板1の表面に形成されたn型のソースとドレイン、17はp型薄膜Si基板、16はSiO₂で代表される下地絶縁膜、2はp型薄膜Si基板17の表面上に形成されたSiO₂で代表される絶縁膜、3は絶縁膜上に形成された多結晶Siで代表されるゲート電極、11は層間絶縁膜である。SOIトランジスタの場合は導電領域の下にSiO₂に代表される絶縁膜が存在するため、先に説明した通常のゲート絶縁型電界効果トランジスタで観測されるホットキャリア効果の他に、下地酸化膜と薄膜Si基板界面でもホットキャリアの捕獲現象が生じる。

【0015】

【発明が解決しようとする課題】上述の特開昭61-183969には、ホットキャリアが捕獲されないようにするための構造は記載されていたが、ゲート絶縁膜除去をする為

にゲート絶縁膜として窒化膜を用いており、一般に知られているSi基板への直接窒化が結晶欠陥を発生させやすい点に関して対処がされていないという問題点があった。

【0016】また、ゲート絶縁膜として窒化膜を用いたため、Si基板表面に引っ張り応力を発生させてしまい、あらかじめ界面準位の多い状態を実現しており、その対策がなされていなかった。

【0017】さらに、SOIトランジスタの場合は上述のように導電領域の下にSiO₂に代表される絶縁膜が存在するため、下地酸化膜と薄膜Si基板界面でのホットキャリアの捕獲現象を押さえる必要がある。

【0018】

【課題を解決するための手段】そこで、半導体基板の主表面の第1の領域に酸化膜からなるゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にMOSトランジスタのゲート電極3を形成する工程と、該ゲート電極下のゲート絶縁膜をエッチングにより除去する工程と、上記ゲート絶縁膜除去後に上記ゲート電極下の上記半導体基板の上記主表面のSi未結合手を既知原子で終端する工程

と、上記MOSトランジスタ領域及びその周辺上にパッシベーション膜11を形成する工程を含む製造方法を用いる。

【0019】さらにSOIでは、半導体基板上に酸化膜からなる下地絶縁膜を形成する工程と、該下地絶縁膜上に薄膜基板を形成する工程と、該薄膜基板に第1の領域を形成するための素子分離領域13を形成する工程と、該素子分離領域に上記下地絶縁膜まで溝を形成する工程と、該溝の一部に窒化膜18を充填する工程と、上記溝を介して上記第1の領域下の上記下地絶縁膜を除去する工程を含む製造方法を用いる。

【0020】

【作用】酸化膜からなるゲート絶縁膜をエッチングにより除去する工程と上記ゲート絶縁膜除去後に上記ゲート電極下の上記半導体基板の上記主表面のSi未結合手を既知原子で終端する工程によって、半導体基板の新たな反りが発生しない。又、SOIに於いては、第1の領域下の上記下地絶縁膜を除去する工程によって、第1の領域下の上記下地絶縁膜にトラップされるホットキャリアを防ぐことができる。

【0021】

【実施例】図1は本発明の第1の実施例のnチャネル絶縁電界効果トランジスタの平面図である。図2は図1のAA断面図、図3は図1のBB断面図である。

【0022】図1～3に於いて、1はp型Si基板、4、5はそれぞれp型Si基板表面に形成されたソース、ドレイン、3は多結晶Siからなるゲート電極、11及び12は層間絶縁膜、13はフィールド絶縁膜、8は活性領域、10はゲート3とチャネル20との間のゲート絶縁領域で、Si基板1の表面はすべてOで終端された後、 10^{-10} Pa以上の圧力の気体で充填されている。

【0023】次に上記第1の実施例のゲート絶縁電界効果トランジスタの製造方法について説明する。

【0024】先ず、p型Si基板1上に、よく知られたLOCOS法によって厚さ450nmのSiO₂からなるフィールド酸化膜を被着してフィールド領域7を形成する。フィールド領域7以外は後にトランジスタを形成する活性領域8である。後に除去する厚さ5～15nmの酸化膜を形成し、この酸化膜上に厚さ250nmの多結晶Siからなるゲート3を被着し、更にこのゲート電極下の酸化膜を除去する時のマスクとなる厚さ10nmのSi₃N₄を図1の9 (斜線で示す) 以外の領域に被着する。

【0025】その後、ゲート電極下の酸化膜を1:10のHF/H₂O液の中に浸して除去すると、ゲート3は除去されず、フィールド酸化膜も多少削れるが、十分に厚く形成されているのでフィールド絶縁膜としての役割を損なうことはない。ゲート電極下の酸化膜を除去して図2のAA断面図に示すようにゲート電極下10は空洞

5

となる。その後、室温に於いて酸素雰囲気中に放置し、Si基板表面1をOで終端させる。この時用いる雰囲気としては弗素でも良い。更に、Si₃N₄を180℃の熱H₃PO₄液によって除去し、リン或いは砒素をそれぞれ2×10¹⁵程度イオン打ち込みをし、ソース、ドレインを形成する。

【0026】最後にCVD法によりノンドープのSiO₂からなる厚さ50nmの層間絶縁膜11を堆積した後、PSGからなる厚さ450nmの層間絶縁膜12を形成する。層間絶縁膜11を形成することでPSGから拡散するPのチャネル部への拡散を防ぎ、かつゲート絶縁領域10はSi基板1の表面にあるSiがすべてO若しくはFで終端された状態を保持できる。ここで形成された層間絶縁膜で周囲を包囲され、かつCVD PSGからなる層間絶縁膜11を形成する際に発生するガスはノンドープのSiO₂に吸収される。

【0027】本実施例では上記CDV法に於いて、SiH₄とPH₃の熱分解法を用いたので主成分がH₂のガスが発生するが、ゲート絶縁領域10はノンドープのSiO₂で覆われているのでSi基板1の表面は自然酸化膜を介してすべてO又はFで終端されている。

【0028】上記の第1の実施例に於いては、バルクS*

$$D < 2\sqrt{(4\epsilon_{Si}\phi_F)/(qN_A)}$$

【0032】

$$\phi_F = (kT/q) \ln(N_A/n_i)$$

【0033】ここで、 ϵ_{Si} はSi基板の比誘電率(3.9)、 ϕ_F はボルツマン定数k(8.62×10⁻⁵eV/K)、Tは絶対温度(K)、qは単位電荷(1.602×10⁻¹⁹C)、N_Aは基板のアクセプター濃度(cm⁻³)、及びn_iは真性キャリア濃度である。

【0034】SOI基板形成後、活性化領域の周辺に図5の14に示した場所にドライエッチングによって溝を設ける。この溝は後に薄膜p型Si基板19とp型Si基板1を支える支柱を形成するため、p型Si基板1まで到達する深さでなければいけない。ここでは、薄膜Si基板19が100nm、下地絶縁膜厚50nmであるから、例えば深さ0.5μmの溝を形成する。

【0035】溝18を形成後、CVD法によりSi₃N₄を0.6μm堆積する。これにより、溝18はSi₃N₄で満たされる。

【0036】溝18以外の領域に堆積しているSi₃N₄を180℃の熱H₃PO₄液によって除去する。

【0037】次にSOI下地酸化膜を除去する為にフィールド領域7の周辺15(図5のドットで示された領域)をドライエッチングによってp型薄膜Si基板19を100nm除去する。

【0038】さらにドライエッチングによって下地酸化膜50nmを除去する。これによってフィールド領域7

6

* i基板1に形成されたゲート絶縁型電界効果トランジスタのゲート絶縁領域を空洞化したが、同様の技術をSOIトランジスタの下地絶縁膜にも適用することができる。

【0029】本実施例に於いては図5に示すようにSOI基板形成後下地絶縁物を除去する際に支柱14を設けることで同様の構造を実現できる。図5は本発明第2の実施例のSOIトランジスタの平面図、図6は図5のAA断面図、図7は図5のBB断面図である。

【0030】p型Si基板1、17上に熱酸化によりそれぞれ25nmのSiO₂を形成し、SiO₂側を張り合わせて1100℃のアニールを行って張り合わせ基板を形成後、一方のp型Si基板17を空乏層厚さよりも小さい厚さ例えば100nm厚さまで薄膜化する。薄膜化は熱酸化により基板表面に厚い酸化膜を形成し、1:10のHF/H₂O液によって表面の酸化膜を除去する工程を繰り返すことによって達成される。この時空乏層厚さWdはp型Si基板の不純物濃度N_Aで決まる値であり、薄膜化後のSi基板の厚さをDとすれば、次の関係を満足していれば良い。

【0031】

【数1】

----- (数1)

※ ※ 【数2】

----- (数2)

の周辺15は空洞になる。

【0039】その後、p型薄膜Si基板19の下の下地酸化膜を1:10のHF/H₂O液の中に浸して除去すると、p型薄膜Si基板19はSi₃N₄からなる支柱18で支えられているので除去されずに残り、図6のAA断面図に示すように下地絶縁領域17は空洞になる。

【0040】この後、酸素雰囲気中に1-2分放置してp型薄膜Si基板19とp型Si基板1の表面をOで終端させる。この時雰囲気は弗素でもよい。次に厚さ5~15nmの酸化膜を形成する。この時p型薄膜Si基板19の周辺も同時に酸化されるのでアイソレーション領域の役割をする。

【0041】この酸化膜上に厚さ250nmの多結晶Siからなるゲート3を被着し、リン或いは砒素をそれぞれ2×10¹⁵程度イオン打ち込みをし、ソース、ドレインを形成する。

【0042】最後にCVD法によりノンドープのSiO₂からなる厚さ50nmの層間絶縁膜11を堆積した後、PSGからなる厚さ450nmの層間絶縁膜12を形成する。本発明ではゲート電極下にはSiO₂からなるゲート絶縁膜を形成したが、絶縁膜としては他にSiON等を用いても良い。本構造では、ゲート絶縁膜とSi基板界面でのホットキャリア捕獲の問題が残る。その

7

為、ゲート絶縁型電界効果トランジスタと同様にゲート電極下のゲート絶縁膜を除去した構造も、ホットキャリア対策として有効である。

【0043】図9は本発明の第3の実施例のNチャネルSOIトランジスタの断面図である。本実施例に於いては第2の実施例と同様にして、17の空洞を形成した後、実施例1と同様のプロセスを用いることによって達成される。本実施例では実施例2で問題となる、p型薄膜Si基板とゲート絶縁膜の界面で捕獲されるホットキャリアの影響を低減することが可能となる。同時に下地絶縁膜とp型薄膜Si基板の界面に捕獲されるホットキャリアの影響も低減している。

【0044】SOIトランジスタの下地絶縁膜除去の際、除去する酸化膜の面積がトランジスタの面積に比較して大きい為、実施例1に比べると下地酸化膜の除去に困難を伴う。従って、この問題点を解決する為、p型薄膜Si基板19の活性化領域に縞状の窓を設けた例を示す。

【0045】図10～12に本発明の第4の実施例を示す。本実施例に於いては、p型薄膜Si基板19の活性化領域の周辺の薄膜Si基板にドライエッチングによって溝を形成すると同時に、縞状に窓23を設け、ドライエッチングによって薄膜Si基板の活性化領域に溝を形成する。この溝により、活性化領域下の下地酸化膜は容易に除去される。又、この溝はゲート絶縁膜を形成する工程で酸化膜で覆われ、活性化領域の下が空洞として残る。本実施例に於いては、ゲート絶縁膜を除去した構造も実現可能であることは言うまでもない。

【0046】図13～15に本発明の第5の実施例を示す。本実施例に於いては下地絶縁領域とゲート絶縁領域が共に空気絶縁され、かつ下地絶縁膜除去に便利ように薄膜Si基板19にエッチング様の窓を設けたので下地絶縁膜除去が容易になるという利点がある。

【0047】ホットキャリア注入によるデバイス劣化の低減には、特に注入の起る場所を限定して対策を施すことが効果的である。ホットキャリア注入はドレイン端で起ることが知られており、ゲートと低濃度ドレイン拡散層の重なりが空乏層幅程度の時が最も効果的である。このような構造を実現するデバイス構造としてゲート・ドレイン・オーバーラップ・ライトリー・ドープ・ドレイン(GOLD)構造が知られている。本ゲート構造にも本発明が適用可能で有ることは言うまでもない。

【0048】図16は本発明の第6の実施例である。上記第1の実施例において、ゲート電極形成にゴールド(GOLD)構造を適用したものである。ゴールド構造では拡散層上でのホットキャリア捕獲の影響が重要となるため、本発明の適用は特に効果がある。図中21は下地ゲート電極、20は低濃度不純物拡散層である。

【0049】図17は本発明の第7の実施例である。上記第3の実施例において、ゲート電極形成にゴールド

8

(GOLD)構造を適用したものである。ゴールド構造ではゲートのフリンジング電界の影響で電流が通常のゲート構造のトランジスタに比べて多く流れるため、耐ホットキャリア効果だけではなく、トランジスタ特性の向上も実現する。

【0050】図18は本発明の第8の実施例である。第7の実施例に於いて、ゲート絶縁領域の酸化膜を除去することによって、本発明の効果を最も向上させた構造となっている。

【0051】以上説明した本発明の第1～第8の実施例に於いては、Nチャネルトランジスタ用いたが、pチャネルトランジスタにも適用して良い。その場合には、すべての不純物をp型からn型へ、n型からp型へ変換すればよい。pチャネルトランジスタではホットキャリアの捕獲現象の影響がより顕著な為、本発明は効果的である。又、本発明を用いて同一Si基板上にnチャネルトランジスタとpチャネルトランジスタを形成したCMOS回路を構成することができる。pチャネルを形成するときはnチャネルの領域を、nチャネルを形成するときはpチャネルの領域をホトレジストで覆っておけば良い。

【0052】又、本発明の第2～5、7、8の実施例に於いてはSOI基板作成法として張り合わせ基板を用いたが、下地酸化膜の形成方法としては、通常のSi基板にOをイオン注入した後高温でアニールすることによって形成しても良い。トランジスタを作成する薄膜Si基板の形成方法は同様である。

【0053】

【発明の効果】一般に、Si基板に酸化膜を成長させた後、室温に冷却する際、酸化膜中の酸素の外方拡散が起り、正孔捕獲中心として働く酸素空位を発生させ、この酸素空位にHやOHが結合すると電子捕獲中心として働くことが知られている。従って、この酸素空位そのものの発生を抑制することはトランジスタの信頼性を高める上で効果的である。

【0054】ゲート絶縁膜除去後に形成される自然酸化膜を完全に除去することは極めて困難である為、むしろ自然酸化膜の表面に意識的にOが終端できるように酸素雰囲気中に放置することは効果的である。

【0055】又、室温に於いて放置する際の雰囲気を弗素にした場合、上述した酸素空位に弗素や弗素の原子団が結合すると電子のエネルギー固有値がSiO₂の禁制帯中に現れない様になることが可能であることが報告されており、本発明に適用する原子と考えられる。

【0056】本発明によれば、ホットキャリア注入によるトランジスタ特性の劣化を防止することができ、高信頼性を有する集積回路を構成できる。また、SOIトランジスタに適用することでより微細なトランジスタの信頼性を高めることができる。

【図面の簡単な説明】

9

【図1】本発明の第1の実施例を示すNチャネルゲート絶縁型電界効果トランジスタの平面図である。

【図2】図1のAA断面図である。

【図3】図1のBB断面図である。

【図4】従来のnチャネルゲート絶縁型電界効果トランジスタである。

【図5】本発明の第2の実施例を示すNチャネルSOIトランジスタの平面図である。

【図6】図5のAA断面図である。

【図7】図5のBB断面図である。

【図8】従来のnチャネルSOIトランジスタである。

【図9】本発明の第3の実施例のNチャネルゲート絶縁型電界効果トランジスタの断面図である。

【図10】本発明の第4の実施例のNチャネルSOIトランジスタの平面図である。

【図11】図10のAA断面図である。

【図12】図10のBB断面図である。

【図13】本発明の第5の実施例のNチャネルSOIトランジスタの平面図である。

10

【図14】図13のAA断面図である。

【図15】図13のBB断面図である。

【図16】本発明の第6の実施例のNチャネルゲート絶縁型電界効果トランジスタの断面図である。

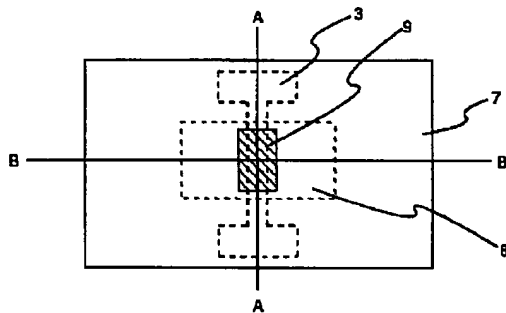
【図17】本発明の第7の実施例のNチャネルSOIトランジスタの断面図である。

【図18】本発明の第7の実施例のNチャネルSOIトランジスタの断面図である。

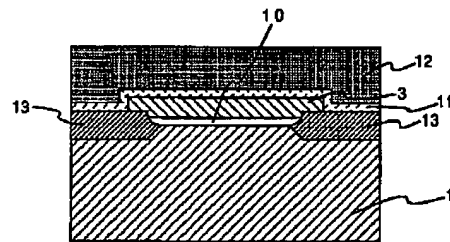
【符号の説明】

10 1…p型Si基板、2…ゲート絶縁膜、3…ゲート電極、4…ソース、5…ドレイン、6…ホットキャリア、7…フィールド領域、8…活性化領域、9…除去膜、10…ゲート絶縁領域、11…層間絶縁膜1、12…層間絶縁膜2、13…フィールド酸化膜、14…支柱マスク、15…除去領域1、16…SOI下地酸化膜、17…SOI下地絶縁領域、18…支柱、19…SOI基板、20…低濃度不純物領域、21…下地ゲート電極、22…チャネル、23…除去領域2、24…下地絶縁領域形成窓。

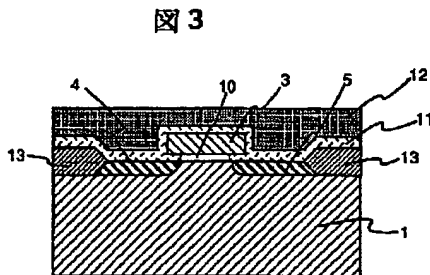
【図1】



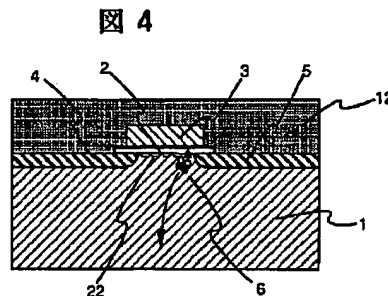
【図2】



【図3】

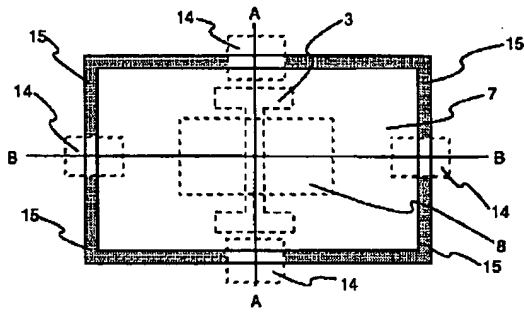


【図4】



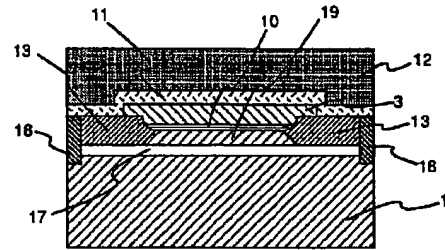
【図5】

図 5



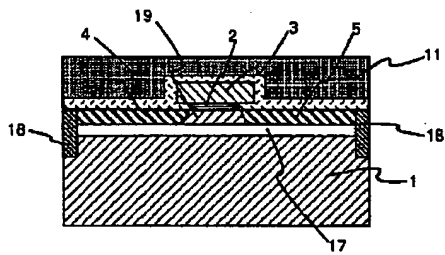
【図6】

図 6



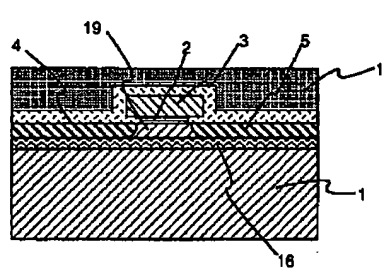
【図7】

図 7



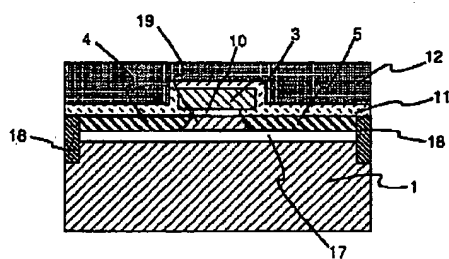
【図8】

図 8



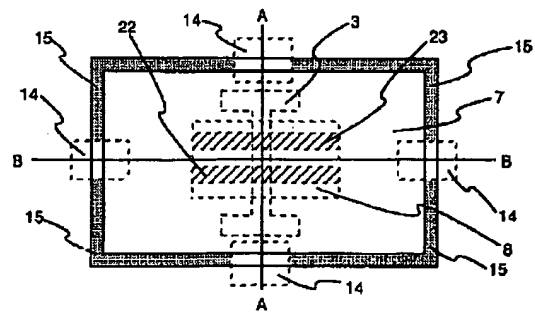
【図9】

図 9



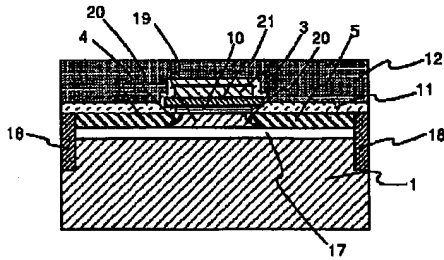
【図10】

図 10



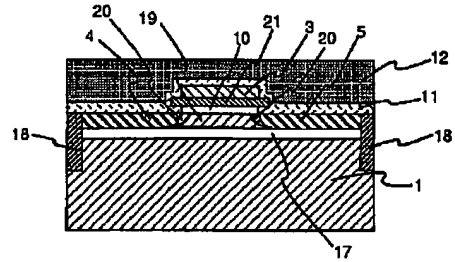
【図17】

図 17



【図18】

図 18



フロントページの続き

(51) Int. Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

9056-4M

H01L 29/78

311 R

9056-4M

311 Y

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.